

Microelectrònica

Examen Final. 12 de gener de 2026

EPSEM. Enginyeria de Sistemes TIC
Temps: 2 hores.

1. (2 punts) Calculeu la resistència equivalent que s'obté entre els terminals A i B de cadascun dels dispositius integrats CMOS que es mostren a la Figura 1. Les característiques dels diferents materials (resistència laminar R_s) i dispositius es mostren a la Taula 1.

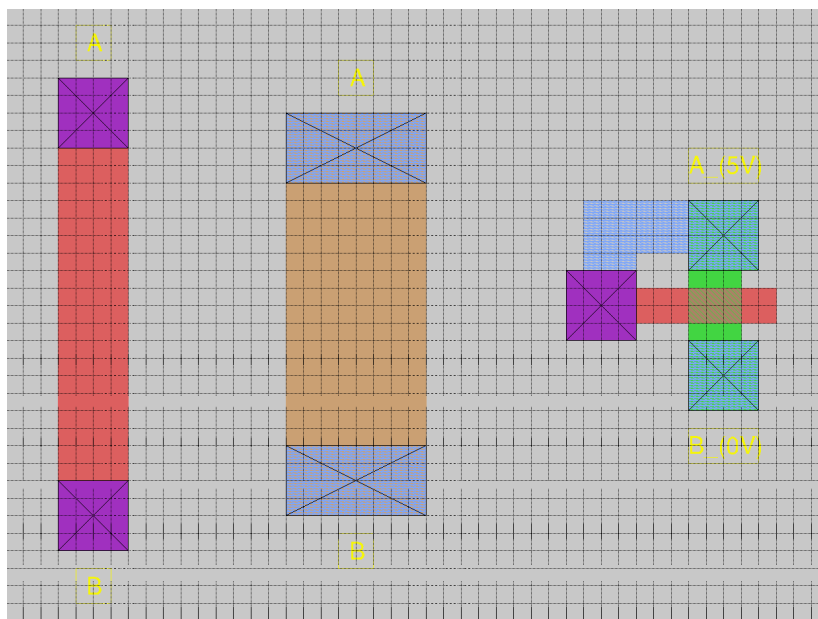


Figura 1

Taula 1

Layer / Device	Parameter
- Polysilicon	$R_s = 65 \, \Omega/\text{square}$
- N+ diffusion	$R_s = 35 \, \Omega/\text{square}$
- P+ diffusion	$R_s = 90 \, \Omega/\text{square}$
- N well	$R_s = 2 \, \text{k}\Omega/\text{square}$
- Enhancement NMOS transistor	$K' = 70,28 \times 10^{-6} \, \text{A/V}^2$, $V_T = 0.7 \, \text{V}$
- Enhancement PMOS transistor	$K' = 27,33 \times 10^{-6} \, \text{A/V}^2$, $V_T = -0.7 \, \text{V}$

2. (2 punts) La Figura 2 mostra el símbol i l'esquema circuital d'una porta de transmissió CMOS.

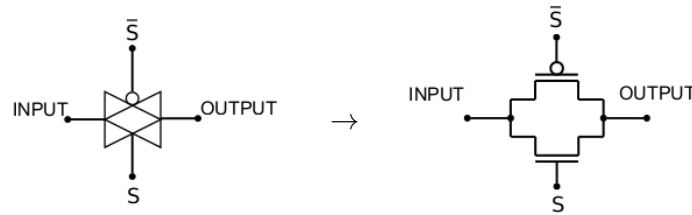


Figura 2

Sabent que es vol utilitzar aquesta porta en un circuit digital amb una tensió d'alimentació $V_{DD} = 3,3 \text{ V}$, que el corrent màxim que es preveu que hi circularà és de 10 mA , i que es vol que la caiguda de tensió a la porta no superi els 50 mV en cap dels nivells lògics que ha de transferir, determineu quines han de ser les dimensions dels transistors.

Dades addicionals: Tecnologia CMOS de 900 nm . Paràmetres NMOS: $K'_N = 50 \mu\text{A/V}^2$, $V_{TN} = 0,5 \text{ V}$. Paràmetres PMOS: $K'_P = 20 \mu\text{A/V}^2$, $V_{TP} = -0,7 \text{ V}$.

3. (2 punts) Indiqueu si les següents afirmacions són CERTES o FALSES. Justifiqueu la resposta en cada cas.
- Un semiconductor intrínsec té major conductivitat elèctrica que un semiconductor extrínsec.
 - En un transistor NMOS de buidament, la tensió llindar de conducció és positiva.
 - La reducció en l'escala d'integració de circuits digitals comporta que el consum de corrent dels dispositius així com la potència dissipada per aquests sigui menor.
 - Les memòries flash suporten un nombre de cicles d'escriptura limitat a causa dels cicles de lectura, durant els quals l'òxid que envolta la porta flotant dels transistors es degrada progressivament.
4. (1 punt) Indiqueu a quina tensió és habitual connectar el substrat dels transistors NMOS i PMOS en un circuit integrat monolític, i justifiqueu-ne el motiu.
5. (1 punt) Considereu dues portes lògiques de dues entrades, una NAND i una NOR, ambdues realitzades amb tecnologia CMOS i transistors de dimensió mínima. Discutiu breument quina de les dues portes tindrà una pitjor resposta dinàmica.
6. (2 punts) L'inversor CMOS és un element bàsic en circuits digitals, on els senyals prenen dos nivells discrets. L'inversor, però, també té altres aplicacions, com és la d'amplificador analògic. Considereu l'inversor CMOS amb la corba de transferència mostrada a la Figura 3. Supposeu que voleu utilitzar aquest inversor per amplificar un senyal sinusoidal de baixa freqüència procedent d'una font de tensió v_g de 100 mV d'amplitud.
- Expliqueu què cal fer per aconseguir amplificar adequadament aquest senyal amb l'inversor CMOS.

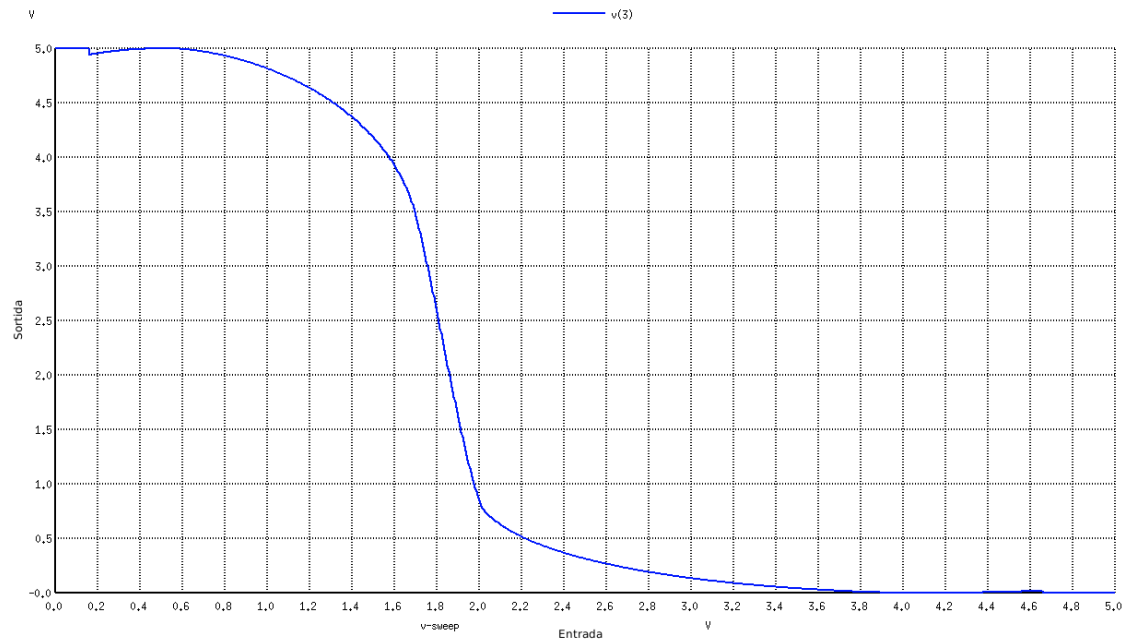


Figura 3

- b) Doneu l'esquema d'un possible circuit que, incorporant l'esmentat inversor i altres elements que proporcionin un acoblament adequat del senyal v_g , permeti realitzar la funció desitjada.
- c) Determineu quina serà l'amplitud de sortida, així com l'amplificació proporcionada pel circuit.